

SEMICONDUCTOR MEMORY DEVICE

Patent Number: JP6162775
Publication date: 1994-06-10
Inventor(s): OKADA YOSHINORI; others: 01
Applicant(s): TOSHIBA CORP; others: 01
Requested Patent: ☐ JP6162775
Application Number: JP19920307109 19921117
Priority Number(s):
IPC Classification: G11C11/41
EC Classification:
Equivalents:

Abstract

PURPOSE:To ideally and automatically set the timing of the equalizing operation by providing an equalization timing control circuit and controlling the timing of a bit line equalizing signal in accordance with the change of a word line driving signal.

CONSTITUTION:In the period of a chip enable signal CE at a low level, an equalizing pulse generating circuit 37 is controlled by an internal chip enable signal DO due to a dummy row decoder 42 and a dummy wiring 55 of the timing control circuit, and a word line driving signal WORD is outputted by a word line driver circuit 18. Therefore, the operation timing of the bit line equalizing signal is controlled corresponding to the rise timing of the change of the signal WORD. Consequently, the bit line equalizing signal is ideally and automatically controlled corresponding to the signal WORD when the operation timing of the bit line equalizing signal is made a certain fixed time earlier than the rise of the signal WORD, and the access time is shortened dependently of the memory capacity even in the case of a capacity variable memory.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-162775

(43) 公開日 平成6年(1994)6月10日

(51) Int.Cl.⁵

G 1 1 C 11/41

識別記号

庁内整理番号

F I

技術表示箇所

6741-5L

G 1 1 C 11/34

M

審査請求 未請求 請求項の数2(全 7 頁)

(21) 出願番号 特願平4-307109

(22) 出願日 平成4年(1992)11月17日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221199

東芝マイクロエレクトロニクス株式会社

神奈川県川崎市川崎区駅前本町25番地 1

(72) 発明者 岡田 義則

神奈川県川崎市川崎区駅前本町25番地 1

東芝マイクロエレクトロニクス株式会社内

(72) 発明者 原口 政則

神奈川県川崎市川崎区駅前本町25番地 1

東芝マイクロエレクトロニクス株式会社内

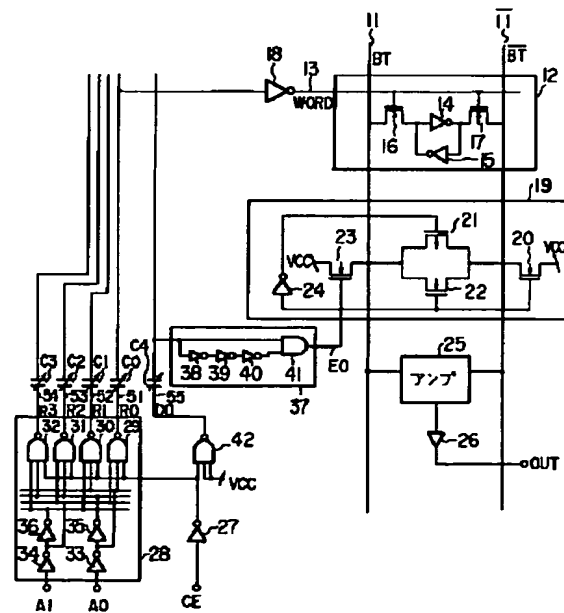
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体メモリ装置

(57) 【要約】

【目的】 半導体メモリのデータ読み出し動作に際して、ビット線のイコライズ動作のタイミングをワード線駆動信号が立上るタイミングに対応してアクセスタイムに関して理想的に自動設定し、メモリ容量可変タイプのメモリに適用した場合でも、アクセスタイムをメモリ容量に依存して短縮化する。

【構成】 メモリセル選択用のワード線13と、メモリセル12の記憶データを読み出すためのビット線対11、/11と、データ読み出し前にビット線対を所定電位にプリチャージ・イコライズするイコライズ回路19と、データ読み出し時にビット線対間の電位差をセンス増幅するセンスアンプ25と、データ読み出し時におけるビット線対イコライズ信号のタイミングをワード線駆動信号WORDの変化のタイミングに対応して制御する回路42、55とを具備することを特徴とする。



【特許請求の範囲】

【請求項1】 メモリセルが行列状に配列されたメモリセルアレイと、

このメモリセルアレイにおける同一行のメモリセルに共通に接続されているワード線と、

上記メモリセルアレイにおける同一列のメモリセルに共通に接続され、メモリセルの記憶データに応じた電位の信号が読み出されるビット線と、

この第1のビット線に対して対をなし、前記メモリセルの記憶データを読み出す際に読み出し電位と比較するための基準電位となる信号が与えられる第2のビット線と、

クロック信号に基づいて一定時間幅のイコライズ信号を生成するイコライズ信号生成回路と、

上記イコライズ信号を受けてデータ読み出し前に前記ビット線対を所定電位にプリチャージ・イコライズするイコライズ回路と、

前記クロック信号に同期してロウアドレス信号をデコードし、ワード線選択信号を生成するロウデコーダと、

このロウデコーダのワード線選択信号がワード線選択信号線を経て入力し、前記ワード線を駆動するためのワード線駆動信号を出力するワード線駆動回路と、

データ読み出し時に前記ビット線対間の電位差をセンス増幅するセンスアンプと、

データ読み出し時における前記イコライズ信号のタイミングを前記ワード線駆動信号の変化のタイミングに対応して制御するイコライズタイミング制御回路とを具備することを特徴とする半導体メモリ装置。

【請求項2】 請求項1記載の半導体メモリ装置において、

前記イコライズタイミング制御回路は、前記ロウデコーダにおける単位デコーダと同じ構成および駆動能力を有し、前記クロック信号入力が入力するダミーロウデコーダと、

このダミーロウデコーダの出力側に接続され、前記ロウデコーダ出力側のワード線選択信号線と同等の配線容量を有し、前記イコライズパルス生成回路にダミーロウデコーダ出力信号を伝達するダミー配線とを具備することを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体メモリ装置に係り、特にデータ読み出しに際して、ビット線をプリチャージ・イコライズした後にビット線電位をセンス増幅する方式の半導体メモリ装置に関する。

【0002】

【従来の技術】 図5は、同期クロック信号を用いてメモリセルアレイのビット線のプリチャージ・イコライズを行う同期型の半導体メモリ装置の一例であるCMOS型のSRAM（スタティック型ランダムアクセスメモリ）

における一部を示す回路図である。図5において、SRAMセル（1個のみ代表的に示している）12は行列状に配列されてメモリセルアレイを構成している。

【0003】 11、/11は上記メモリセルアレイにおける同一列のSRAMセル12の一对のデータ転送用トランジスタ16、17の各他端に対応して共通に接続されているビット線であり、相補的な1対のみ代表的に示している。

【0004】 13は上記メモリセルアレイにおける同一行のSRAMセル12のデータ転送用トランジスタ16、17のゲートに共通に接続されているワード線であり、代表的に1本のみ示している。

【0005】 19は上記ビット線対11、/11に接続され、後述するイコライズ信号EQを受けて所定の期間にビット線対11、/11を所定電位にプリチャージし、それぞれの電位をイコライズするイコライズ回路である。25は前記ビット線対間の電位差をセンス増幅するセンスアンプである。26は上記センスアンプ25の出力をバッファ増幅するデータ出力バッファである。27はSRAMチップの活性／非活性状態を制御するためのチップイネーブル信号CE入力を反転させるインバータからなるCE入力バッファである。

【0006】 28は前記CE入力バッファ27からの/CE信号に同期してロウアドレス信号入力、例えばA0、A1をデコードし、ワード線選択信号R0、R1、R2、R3を生成するロウデコーダである。

【0007】 このロウデコーダ28は、上記アドレス信号入力A0、A1が対応して入力し、それぞれを反転させて内部アドレス信号/A0、/A1を生成するインバータ回路33、34と、上記反転信号/A0、/A1が対応して入力し、それぞれを再反転させて内部アドレス信号を生成するインバータ回路35、36と、それぞれ組合わせが異なる2個の内部アドレス信号および前記/CE信号が入力する3入力ナンド回路29、30、31、32を有する。

【0008】 51～54は上記ロウデコーダ28のナンド回路29、30、31、32の出力信号線（ワード線選択信号線）、C0、C1、C2、C3は上記ワード線選択信号線51～54の配線容量である。

【0009】 18は上記ロウデコーダ28のワード線選択信号線51～54からのワード線選択信号が対応して入力し、ワード線駆動信号WORDを出力して対応するワード線に供給するワード線ドライバ回路、例えばインバータであり、代表的に1個のみ示している。

【0010】 37は前記CE入力バッファ27からの/CE信号が入力し、これに同期して前記イコライズ信号EQを生成してイコライズ回路19に供給するイコライズパルス生成回路である。ここで、図5のSRAMの動作の概要を説明する。

【0011】 データ読み出し前に、CE信号入力に同期してビット線対11、/11が一定時間プリチャージ・イコライズされる。また、上記CE信号入力に同期してアド

レス信号A0、A1がデコードされて特定のワード線13が選択され、このワード線13に接続されているSRAMセル12が選択される。そして、上記プリチャージ・イコライズの終了により、前記選択されているSRAMセル12のデータに応じてビット線対11、/11に電位差が生じる。

【0012】ところで、ASIC（特定用途向けIC）などの分野では、メモリ容量を任意に変更可能なメモリ容量可変タイプが要求される場合が多い。上記SRAMがメモリ容量を変更可能なメモリ容量可変タイプである場合には、メモリセルアレイのビット数およびワード線数が変化する。つまり、使用するメモリセル数に応じてメモリセルアレイのビット線対11、/11の長さが変化する。

【0013】これに伴い、前記ロウデコーダ28の負荷容量（ワード線選択信号線51～54の配線容量）が変化するので、前記CE信号が入力してからワード線駆動信号WORDがオン状態になるまでの時間が変化する。

【0014】これに対して、イコライズ信号EQは、メモリ容量の変更に拘らず、チップイネーブル信号CE入力に同期した一定タイミングでオン状態に設定し、メモリ容量の最大構成の時でもワード線駆動信号WORDが立上るタイミングよりも遅くなるような一定タイミングでオフ状態に設定する必要がある。図6は、図5のSRAMのメモリ容量が可変範囲内の中間値である場合におけるデータ読み出し動作の一例を示すタイミング波形図である。図7は、図5のSRAMのメモリ容量が可変範囲内の最大値である場合におけるデータ読み出し動作の一例を示すタイミング波形図である。図8は、図5のSRAMのメモリ容量が可変範囲内の最小値である場合におけるデータ読み出し動作の一例を示すタイミング波形図である。次に、図6乃至図8を参照しながら、図5のSRAMの動作例を詳細に説明する。

【0015】まず、ロウアドレス信号A0、A1として、例えばそれぞれロウレベル“L”が入力するものとする。CE信号入力が“L”レベル（接地電位VSS）になると、CE入力バッファ27からの/CE信号に同期し、これより少し遅れてイコライズ信号EQがハイレベル“H”（電源電位VCC）になる。これにより、イコライズ回路19がオン状態になり、ビット線対11、/11が所定電位にプリチャージされると共に同一レベルにイコライズされる。

【0016】また、前記CE入力バッファ27からの/CE信号に同期してロウアドレス信号A0、A1がロウデコーダ28でデコードされ、例えばナンド回路29から出力するワード線選択信号R0が“L”レベルになり、その後段のワード線ドライバ回路18のワード線駆動信号WORDが“H”レベルになり、ワード線13が選択される。この後、前記イコライズ信号EQが“L”レベルに戻ると、イコライズ回路19がオフ状態になり、ビット線対11、/

11のイコライズ動作が解除される。

【0017】そして、選択されたワード線13に接続されているSRAMセル12内の相補的なデータがビット線対11、/11に読み出され、ビット線電位BT、/BT間に電位差が生じ、この電位差がセンスアンプ25によりセンス増幅され、センスアンプ25の出力が出力バッファ回路26を経て読み出しデータOUTとして出力される。この後、CE信号入力が“H”レベルに戻り、次の動作を待機する状態になる。

10 【0018】図8に示した動作例から分かるように、図5のSRAMのメモリ容量が小さい場合には、チップイネーブル信号CEが入力した後にワード線駆動信号WORDが立上るタイミングは、図7に示したメモリ容量の最大構成の時の対応するタイミングよりも早い。これに対して、図8中に示したイコライズ信号EQがオフになるタイミングは、図7に示したメモリ容量の最大構成の時の対応するタイミングと同じく一定タイミングである。

20 【0019】従って、図5のSRAMは、メモリ容量が小さい場合でも、メモリ容量の最大構成の時とアクセスタイムが同じであり、アクセスタイムが本来の性能よりも遅くなる。

【0020】

30 【発明が解決しようとする課題】上記したように従来の同期型の半導体メモリ装置は、メモリ容量可変タイプのメモリに適用した場合に、データ読み出し動作に際してワード線駆動信号が立上るタイミングはメモリ容量に依存して変化するが、ビット線のイコライズ動作がオフになるタイミングはメモリ容量の最大構成の時でもワード線駆動信号が立上るタイミングよりも遅くなるような一定タイミングに設定されているので、メモリ容量が小さい場合にアクセスタイムが本来の性能よりも遅くなるという問題があった。

40 【0021】本発明は上記の問題点を解決すべくなされたもので、データ読み出し動作に際してビット線のイコライズ動作のタイミングをワード線駆動信号が立上るタイミングに対応して理想的に自動設定でき、メモリ容量可変タイプのメモリに適用した場合でも、アクセスタイムをメモリ容量に依存して短縮化することが可能になる半導体メモリ装置を提供することを目的とする。

【0022】

50 【課題を解決するための手段】本発明の半導体メモリ装置は、メモリセルが行列状に配列されたメモリセルアレイと、このメモリセルアレイにおける同一行のメモリセルに共通に接続されているワード線と、上記メモリセルアレイにおける同一列のメモリセルに共通に接続され、メモリセルの記憶データに応じた電位の信号が読み出される第1のビット線と、この第1のビット線に対して対をなし、前記メモリセルの記憶データを読み出す際に読み出し電位と比較するための基準電位となる信号が与えられる第2のビット線と、クロック信号に基づいて一定

時間幅のイコライズ信号を生成するイコライズ信号生成回路と、上記イコライズ信号を受けてデータ読み出し前に前記ビット線対を所定電位にプリチャージ・イコライズするイコライズ回路と、前記クロック信号に同期してロウアドレス信号をデコードし、ワード線選択信号を生成するロウデコーダと、このロウデコーダのワード線選択信号がワード線選択信号線を経て入力し、前記ワード線を駆動するためのワード線駆動信号を出力するワード線駆動回路と、データ読み出し時に前記ビット線対間の電位差をセンス増幅するセンスアンプと、データ読み出し時における前記イコライズ信号のタイミングを前記ワード線駆動信号の変化のタイミングに対応して制御するイコライズタイミング制御回路とを具備することを特徴とする。

【0023】

【作用】イコライズタイミング制御回路を備えているので、データ読み出し時におけるビット線イコライズ信号のタイミングをワード線駆動信号の変化のタイミングに対応して自動的に制御する。

【0024】これにより、ビット線のイコライズ動作の開始をワード線駆動信号が立上るより一定時間早いタイミングに設定し、所要のイコライズ動作期間後にイコライズ動作を終了させるように理想的に設定できる。

【0025】従って、メモリ容量可変タイプのメモリに適用した場合でも、ビット線のイコライズ動作のタイミングがメモリ容量に依存して理想的に変化し、アクセスタイムをメモリ容量に依存して短縮化することが可能になる。

【0026】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は、本発明の半導体メモリ装置の一実施例として、同期型のCMOS型のSRAMの一部を示している。

【0027】このSRAMは、メモリセルが行列状に配列されたメモリセルアレイと、このメモリセルアレイにおける同一行のメモリセルに共通に接続されているワード線と、上記メモリセルアレイにおける同一列のメモリセルに共通に接続され、メモリセルの記憶データに応じた電位の信号が読み出される第1のビット線と、この第1のビット線に対して対をなし、前記メモリセルの記憶データを読み出す際に読み出し電位と比較するための基準電位となる信号が与えられる（前記メモリセルから読み出される）第2のビット線と、データ読み出し前に前記ビット線対を所定電位にプリチャージ・イコライズするイコライズ回路と、クロック信号に同期してロウアドレス信号をデコードし、前記ワード線を選択制御するロウデコーダと、データ読み出し時に前記ビット線対間の電位差をセンス増幅するセンスアンプと、データ読み出し時における前記イコライズ信号のタイミングを前記ワード線駆動信号の変化のタイミングに対応して制御する

イコライズ・タイミング制御回路とを具備する。

【0028】即ち、図1において、SRAMセル（代表的に1個のみ示す）12は行列状に配列されてメモリセルアレイを構成している。このSRAMセル12は、2個のインバータ14、15がクロス接続されてなるフリップフロップ回路と、このフリップフロップ回路の一对のデータ記憶ノードに対応して各一端が接続された一对のデータ転送用トランジスタ16、17とからなる。

【0029】相補的なビット線11、 $\overline{11}$ （代表的に1対のみ示す）は、上記メモリセルアレイにおける同一列のSRAMセル12の一对のデータ転送用トランジスタ16、17の各他端に対応して共通に接続されている。

【0030】ワード線13（代表的に1本のみ示す）は、上記メモリセルアレイにおける同一行のSRAMセル12のデータ転送用トランジスタ16、17のゲートに共通に接続されている。

【0031】イコライズ回路19は、上記ビット線対11、 $\overline{11}$ に接続され、後述する内部イコライズ信号EQを受けて所定期間にビット線対11、 $\overline{11}$ を所定電位にプリチャージし、それぞれの電位をイコライズするものである。センスアンプ25は、前記ビット線対11、 $\overline{11}$ の電位BT、 \overline{BT} の電位差をセンス増幅するものである。データ出力バッファ26は、上記センスアンプ25の出力をバッファ増幅するものである。CE入力バッファ27は、SRAMチップの活性/非活性状態を制御するためのチップイネーブル信号CE入力を反転させるものであり、インバータからなる。

【0032】ロウデコーダ28は、前記CE入力バッファ27からの \overline{CE} 信号に同期してロウアドレス信号入力、例えばA0、A1をデコードし、ワード線選択信号R0～R3を生成するものである。

【0033】このロウデコーダ28は、上記アドレス信号入力A0、A1が対応して入力し、それぞれを反転させて内部アドレス信号 $\overline{A0}$ 、 $\overline{A1}$ を生成するインバータ回路33、34と、上記反転信号 $\overline{A0}$ 、 $\overline{A1}$ が対応して入力し、それぞれを再反転させて内部アドレス信号を生成するインバータ回路35、36と、それぞれ組合わせが異なる2個の内部アドレス信号および前記 \overline{CE} 信号が入力する3入力ナンド回路（単位デコーダ）29～32を有する。51～54は上記ロウデコーダ28のナンド回路29～32の出力信号線（ワード線選択信号線）、C0～C3は上記ワード線選択信号線51～54の配線容量である。

【0034】ワード線ドライバ回路18（代表的に1個のみ示す）は、上記ワード線選択信号線51～54からのワード線選択信号R0～R3が対応して入力し、ワード線駆動信号WORDを出力して対応するワード線に供給するものであり、例えばインバータからなる。

【0035】さらに、データ読み出し時における前記イコライズ信号EQのタイミングを前記ワード線駆動信号WORDの変化のタイミングに対応して制御し、イコライズ

回路19のイコライズ動作の期間を制御するために、ダミーロウデコーダ42およびダミー配線55が設けられている。

【0036】上記ダミーロウデコーダ42は、前記ロウデコーダ28のナンド回路（単位デコーダ）群と同じ構成を有し、同じ駆動能力を有する3入力ナンド回路であり、その1つの入力端に前記CE入力バッファ27からの／CE信号が入力し、残りの2つの入力端にはVCC電位が与えられることにより、／CE信号を反転させて内部CE信号D0を生成する。

【0037】また、前記ダミー配線55は、上記ダミーロウデコーダ42の出力側に接続され、前記ロウデコーダ出力側のワード線選択信号線51～54の配線容量C0～C3と同等の配線容量C4を有し、前記イコライズパルス生成回路37に内部CE信号を伝達するものである。

【0038】イコライズパルス生成回路37は、上記ナンド回路のダミー配線55を経た内部CE信号が入力し、これに同期して前記イコライズ信号EQを一定時間生成してイコライズ回路19に供給するものであり、奇数段のインバータ回路38、39、40と2入力ナンド回路41とからなる。なお、前記メモリセルアレイの列線を選択する列選択トランジスタや、この列選択トランジスタを制御する列デコーダなどについては、図示を省略している。次に、上記SRAMのデータ読み出し動作について図2乃至図4を参照しながら説明する。図2は、図1のSRAMのメモリ容量が可変範囲内の中間値である場合におけるデータ読み出し動作の一例を示すタイミング波形図である。図3は、図1のSRAMのメモリ容量が可変範囲内の最大値である場合におけるデータ読み出し動作の一例を示すタイミング波形図である。図4は、図1のSRAMのメモリ容量が可変範囲内の最小値である場合におけるデータ読み出し動作の一例を示すタイミング波形図である。

【0039】上記SRAMのデータ読み出し動作は、基本的には、図6乃至図8を参照しながら前述した従来のSRAM（図5）の動作と同様であるが、イコライズタイミングを制御する回路が付加されたことにより、次のような動作が行われる。

【0040】即ち、ダミーロウデコーダ42の出力信号（内部CE信号D0）は、ダミー配線55の配線容量C4に
40 応じた遅延を受けるが、ロウデコーダ28の出力信号（ワード線選択信号）もロウデコーダ出力側のワード線選択信号線51～54の配線容量C0～C3に応じた遅延を受ける。

【0041】これにより、イコライズ回路19が上記内部CE信号D0を受けて生成するイコライズ信号EQの立ち上りのタイミングは、ワード線駆動回路18が上記ワード線選択信号を受けて生成するワード線駆動信号WORDの立ち上りのタイミングに対応して自動的に変化するようになる。

【0042】従って、ビット線のイコライズ動作の開始をワード線駆動信号WORDが立上るより一定時間早いタイミングに設定し、所要のイコライズ動作期間後にイコライズ動作を終了させるように理想的に設定できる。

【0043】この結果、メモリ容量可変タイプのメモリに適用した場合でも、ビット線対11、／11のイコライズ動作のタイミングがメモリ容量に依存して理想的に変化し、アクセスタイムをメモリ容量に依存して短縮化することが可能になる。

10 【0044】なお、上記実施例ではSRAMを示したが、本発明はこれに限らず、メモリセルの記憶データに応じた電位の信号が読み出される第1のビット線と、この第1のビット線に対して対をなし、前記メモリセルの記憶データを読み出す際に読み出し電位と比較するための基準電位となる信号がダミーセルから読み出される第2のビット線を有する半導体メモリ（例えば読み出し専用メモリ；ROM）などにも適用できる。

【0045】

【発明の効果】 上述したように本発明の半導体メモリ装置によれば、データ読み出し動作に際してビット線のイコライズ動作のタイミングをワード線駆動信号が立上るタイミングに対応して理想的に自動設定できる。従って、メモリ容量可変タイプのメモリに適用した場合でも、アクセスタイムをメモリ容量に依存して短縮化することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係るSRAMの一部を示す回路図。

30 【図2】図1のSRAMのメモリ容量が可変範囲内の中間値である場合におけるデータ読み出し動作の一例を示すタイミング波形図。

【図3】図1のSRAMのメモリ容量が可変範囲内の最大値である場合におけるデータ読み出し動作の一例を示すタイミング波形図。

【図4】図1のSRAMのメモリ容量が可変範囲内の最小値である場合におけるデータ読み出し動作の一例を示すタイミング波形図。

【図5】従来のマスクROMの一部を示す回路図。

【図6】図5のSRAMのメモリ容量が可変範囲内の中間値である場合におけるデータ読み出し動作の一例を示すタイミング波形図。

【図7】図5のSRAMのメモリ容量が可変範囲内の最大値である場合におけるデータ読み出し動作の一例を示すタイミング波形図。

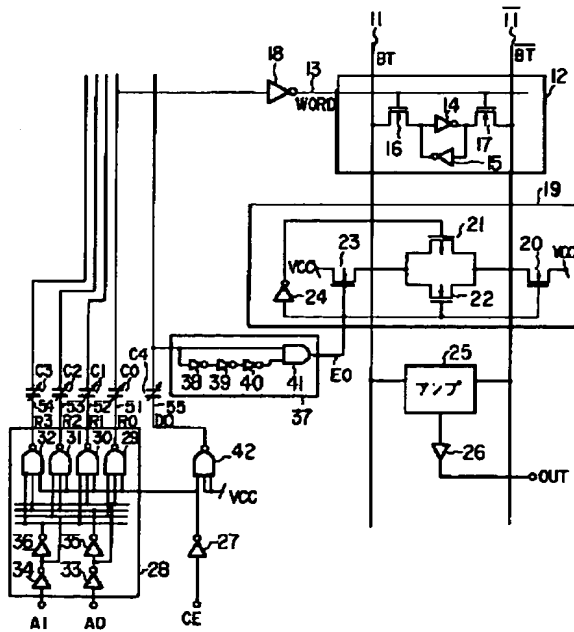
【図8】図5のSRAMのメモリ容量が可変範囲内の最小値である場合におけるデータ読み出し動作の一例を示すタイミング波形図。

【符号の説明】

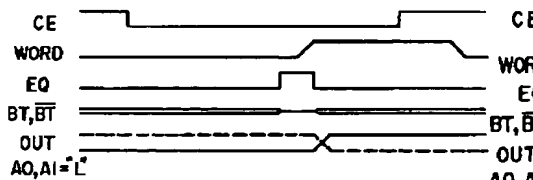
11、／11…ビット線対、12…SRAMセル、13…ワード線、16、17…データ転送用トランジスタ、18…ワード線

ドライバ回路、19…イコライズ回路、25…センスアンプ、26…データ出力バッファ、27…CE入力バッファ、28…ロウデコーダ、29、30、31、32…3入力ナンド回路、33～36…インバータ回路、37…イコライズパルス生成回路、42…ダミーロウデコーダ、51～54…ワード線選

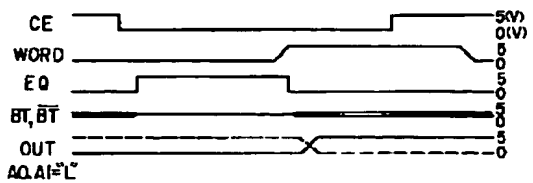
【図1】



【図3】

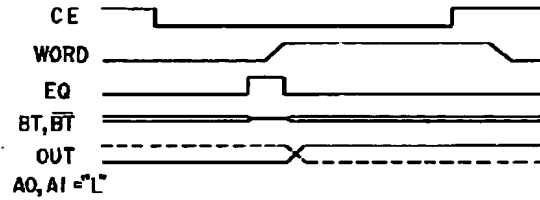


【図7】

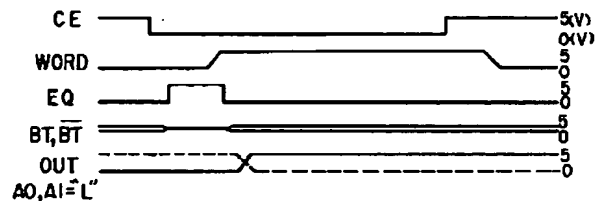


択信号線、55…ダミー配線、R0、R1、R2、R3…ロウデコーダの出力信号（ワード線選択信号）、C0、C1、C2、C3…ワード線選択信号線の配線容量、C4…ダミー配線の配線容量、D0…ダミーロウデコーダの出力信号（内部CE信号）。

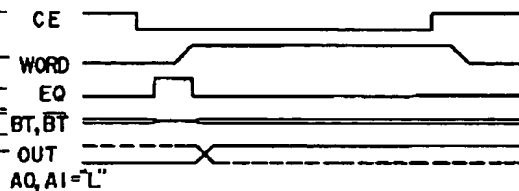
【図2】



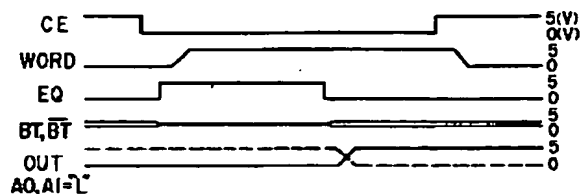
【図6】



【図4】



【図8】



特開平6-162775

[illegible]